

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-306817

(43)Date of publication of application : 22.11.1996

51)Int.Cl. H01L 23/12

21)Application number : 07-106359

(71)Applicant : OKI ELECTRIC IND CO LTD

22)Date of filing : 28.04.1995

(72)Inventor : YAMAGUCHI TADASHI

## 54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### 57)Abstract:

**PURPOSE:** To facilitate machining of a thin type semiconductor device and reduce the cost.

**CONSTITUTION:** A wiring pattern 11 of a semiconductor device is formed on the surface of a P.W.B(printed wiring board) 10, and a penetrating hole 12 and a penetrating hole for resin flow are formed on the center and the end part of the P.W.B 10. The penetrating hole 12 exposes a pad of a mounted semiconductor element 20 when viewed from the surface of the P.W.B 10. The semiconductor element 20 is fixed on the back of the P.W.B 10 so as to expose the pad which is connected with the wiring pattern 11 via a wire passing the penetrating hole 12. After the semiconductor element 20 is mounted, resin sealing is performed, and both surfaces of the semiconductor element 20 are sealed with resin 30 flowing in the penetrating hole for resin flow.



## LEGAL STATUS

[Date of request for examination] 28.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3553195

[Date of registration] 14.05.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-306817

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

H 0 1 L 23/12

F  
L

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21) 出願番号

特願平7-106359

(22) 出願日

平成7年(1995)4月28日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山口 忠士

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

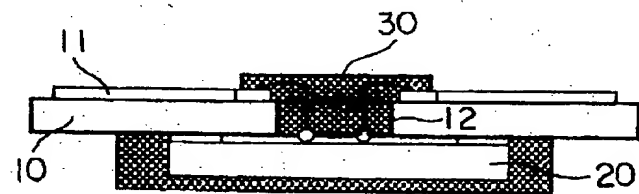
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【目的】 薄型の半導体装置の加工を容易にすると共にコストを低減する。

【構成】 P. W. B. (プリント配線板) 10の表面には、半導体装置の配線パターン11が形成され、P. W. B 10の中央と端部には貫通孔12と樹脂流通用貫通孔が形成されている。貫通孔12は搭載される半導体素子20のパッドを該P. W. B 10の表面から見たときに露出させるものである。半導体素子20はP. W. B 10の裏面に、パッドが露出するように固着され、そのパッドは、貫通孔12を通るワイヤーで配線パターン11に接続される。半導体素子20が搭載された後、樹脂封止が行われ、樹脂流通用貫通孔を流れる樹脂30によって、半導体素子20の両面が封止される。



本発明の第1の実施例の半導体装置

## 【特許請求の範囲】

【請求項1】 コンタクト用の端子を有する半導体素子を搭載したパッケージ構造からなる表面実装型の半導体装置において、

表面に配線パターンが形成されかつ貫通孔を有したプリント配線板と、

前記貫通孔の位置に前記端子がくるように前記プリント配線板の裏面に配置された前記半導体素子と、

前記端子と前記配線パターンの延在部とを接続する導電材と、

前記配線パターン延在部と前記貫通孔と前記導電材と前記半導体素子とを封止する封止材料とを、

備えたことを特徴とする半導体装置。

【請求項2】 前記プリント配線板は、前記貫通孔とは異なる場所に形成された樹脂流通用貫通孔を有し、前記配線パターン延在部と前記貫通孔と前記導電材と前記半導体素子の表面及び裏面とは、樹脂で同時封止した構成としたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記プリント配線板は、前記半導体素子に対するバスバーを表面に備え、前記バスバーの上部は前記導電材と絶縁する絶縁材によって被覆した構造としたことを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記配線パターン上に固定され、該配線パターンを他の基板に接続するための導電体を設けたことを特徴とする請求項1、2または3記載の半導体装置。

【請求項5】 前記半導体素子の端子と前記配線パターンの延在部と前記貫通孔と前記導電材とは、封止樹脂で被覆した構成とし、該封止樹脂の上部には、前記他の基板との間の距離を所定寸法に保つ突起を設けたことを特徴とする請求項4記載の半導体装置。

【請求項6】 コンタクト用の端子を有する半導体素子を搭載したパッケージ構造からなる表面実装型の半導体装置の製造方法において、

表面に配線パターンが形成されたプリント配線板に、後に前記半導体素子を固着するときに該半導体素子の端子が露出するための貫通孔を形成し、

前記プリント配線板の裏面の、前記貫通孔から前記端子が露出する位置に前記半導体素子を固着し、

前記端子と前記配線パターンの延在部とを導電材で接続し、

前記配線パターン延在部と前記貫通孔と前記導電材と前記半導体素子とを封止材料内に配置するようにしたことを特徴とする半導体装置の製造方法。

【請求項7】 前記プリント配線板には、前記貫通孔とは異なる場所に樹脂流通用貫通孔を形成し、前記端子と前記配線パターンの延在部とを導電材で接続した後、前記配線パターン延在部と前記貫通孔と前記導電材と前記半導体素子の表面及び裏面とを樹脂で同時に封止するこ

とを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記プリント配線板の表面に前記半導体素子に対するバスバーを形成し、前記バスバーの上部には、前記導電材と該バスバーを絶縁するための絶縁被覆を施すことを特徴とする請求項6または7記載の半導体装置の製造方法。

【請求項9】 前記配線パターン上に該配線パターンを他の基板に接続するための導電体を固定することを特徴とする請求項6、7または8記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄型のICメモリカードモジュール等の薄型半導体装置として用いられ、プリント配線板(Printed Wiring Board; 以下、P. W. Bという)に半導体素子を表面実装型で搭載した半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、次のような文献に示されるものがあった。

文献; 特開昭55-56647号公報

半導体集積回路のうちで腕時計やカメラやICカード等に使用されるものには、厚さが0.5~2mm程度の極めて薄型のパッケージ構造が、要求されている。従来の半導体装置は、リードフレームの所定位置に半導体素子を搭載して、樹脂封止を行うか、または、上記文献に示すように、ガラスエポキシ等からなるP. W. Bに半導体集積回路等の半導体素子を直接搭載し、その半導体素子をP. W. B上の金属配線にワイヤで接続した後、エポキシ樹脂等で封止している。即ち、上記文献には、チップ・オン・ボードのパッケージが示されている。P. W. Bの表面には、外部に対する端子となるパターンが形成されており、該パターンがそのP. W. Bの裏面に形成されたボンディング用パターンにスルーホールを介して接続されている。半導体素子はP. W. Bの裏面に接着材を用いて固定され、その半導体素子の下面、つまり、P. W. Bに接していない面に形成されたパッドが、P. W. Bのボンディング用パターンにワイヤで接続される。半導体素子のパッドが周囲のボンディング用パターンに接続された後、該半導体素子が樹脂によって封止成形され、半導体装置が完成する。

【0003】

【発明が解決しようとする課題】 しかしながら、従来の半導体装置では、次のような課題があった。リードフレームを用いた半導体装置では、半導体装置全体の厚さと面積が大きくなる。また、前記文献に示された方法によれば、半導体素子の搭載されるP. W. Bの表裏2面にパターンを形成する必要があるため、銅箔を表裏に貼付した構造の両面基板を用いなければならず、スルーホールも所定数加工形成する必要がある。さらに、半導体

素子の搭載部分を薄型化をするためには、P、W、Bに座ぐり加工を施す必要もあった。即ち、加工面或いはコスト面共に大きな課題があり、技術的に満足できるものが得られなかった。

#### 【0004】

【課題を解決するための手段】第1～第5の発明は、前記課題を解決するために、コンタクト用の端子を有する半導体素子を搭載したパッケージ構造からなる表面実装型の半導体装置において、次のようなP、W、Bと半導体素子と導電材と封止材料とを、備えている。P、W、Bは、表面に配線パターンが形成されかつ貫通孔を有している。半導体素子は、その貫通孔の位置に端子がくるようにP、W、Bの裏面に配置され、導電材が半導体素子の端子と配線パターンの延在部とを接続する構成になっている。封止材料は、それら配線パターン延在部と貫通孔と導電材と半導体素子を封止する構成としている。第4及び第5の発明は、第1から第3の発明における配線パターン上に固定され、その配線パターンを他の基板に接続するための導電体を設けている。

【0005】第6～第9の発明は、コンタクト用の端子を有する半導体素子を搭載したパッケージ構造からなる表面実装型の半導体装置の製造方法において、次のような方法を講じている。即ち、表面に配線パターンが形成されたP、W、Bに、後に半導体素子を固着するときに該半導体素子の端子が露出するための貫通孔を形成し、そのP、W、Bの裏面の、貫通孔から半導体素子の端子が露出する位置に半導体素子を固着する。そして、その端子と配線パターンの延在部とを導電材で接続し、配線パターン延在部と貫通孔と導電材と半導体素子とを、封止材料内に配置するようにしている。第9の発明は、第6から第8の発明における配線パターン上に、その配線パターンを他の基板と接続するための導電体を固定するようにしている。

#### 【0006】

【作用】第1～第5の発明によれば、以上のように半導体装置を構成しているのので、P、W、Bの表面には配線パターンが形成されている。そのP、W、Bの裏面に配置された半導体素子の端子は、貫通孔を通る導電材で該P、W、Bの表面に形成された配線パターンの延在部と接続される。即ち、半導体素子の外形を引き回すことなしに、配線パターンと半導体素子の端子が導電材で接続される。その配線パターンと導電材とを介して、半導体素子における信号の送受信が行われることになる。それら、配線パターン延在部と貫通孔と導電材と半導体素子は、封止材料によって、保護される。第4及び第5の発明によれば、配線パターン上の固定された導電体によって、第1～第3の発明における半導体装置が他の基板と接続される。即ち、リードフレームを用いずに、半導体素子が他の基板に接続される。

【0007】第6～第9の発明によれば、半導体素子

は、表面に配線パターンの形成されたプリント配線板の裏面に固着される。このとき、半導体素子の端子が、貫通孔によって、P、W、Bの表面に露出する。その表面に露出した端子と配線パターンの延在部が導電材で接続される。その接続の後、配線パターン延在部と貫通孔と導電材と半導体素子が、封止材料によって封止される。即ち、第1～第5の発明の半導体装置が製造される。第9の発明によれば、第6～第8の発明における配線パターン上に導電材が固定される。即ち、第4及び第5の発明の半導体装置が製造される。

#### 【0008】

##### 【実施例】

##### 第1の実施例

図1は、本発明の第1の実施例を示す半導体装置の断面図である。この半導体装置には、片面基板のP、W、B10が用いられ、そのP、W、B10の表面に配線パターン11が形成されている。P、W、B10の裏面に半導体素子20が搭載されている。P、W、B10の中央には貫通孔12が設けられ、半導体素子20の端子と配線パターン11とが、貫通孔12を通るワイヤーで接続されている。そして、半導体素子20の表面及び裏面と貫通孔12とが、封止樹脂30で封止されている。図2(1)～(3)は、図1の半導体装置を構成するP、W、Bと半導体素子と接着材を示す図である。同図

(1)はP、W、Bの上面図、同図(2)は半導体素子の上面図、同図(3)が、そのP、W、Bに半導体素子を固着する接着材を示している。P、W、B10は、ガラスエポキシ等の基材を用いて構成され、該P、W、B10の表面には8個の端子となる配線パターン11が形成されている。また、P、W、B10の中央部には半導体素子の端子の露出用貫通孔12が設けられ、さらに、端部には後述する樹脂流通用の2つの貫通孔13が設けられている。各パターン11が、貫通孔12の外周近辺に対してそれぞれ延長形成されている。半導体素子20の表面中央部には、ボンディング用の8個の端子であるパッド21が形成されている。また、半導体素子20をP、W、B10に固定するための接着材22は薄いフィルム状であり、該半導体素子20の上面の周囲をP、W、Bに固着できるように、図2(3)のような枠形状に形成されている。

【0009】次に、図を参照しつつ、図1の半導体装置を製造する手順を説明する。図3(1)、(2)は、図2を用いた半導体装置の製造方法(その1)を示す図であり、同図(1)は上面図であり、同図(2)はその断面図である。なお、図3において、図2と共通する要素には、共通の符号が付されている。まず、半導体素子20を接着材22を用いてP、W、B10の裏面側に、固着する。このとき、半導体素子20の表面の各パッド21は、P、W、B10の表面側から見て、貫通孔12を通して露出するように配置され、図3(1)中の破線で

示されるように、半導体素子20の上部の周囲は枠形状の接着材22でP. W. B10の裏面に固着される。続いて、各パッド21は導電材であるワイヤー23で各パターン11にそれぞれ接続される。即ち、P. W. B10の裏側の位置にある各パッド21は、図3(2)のように、貫通孔12の内側を通る8本のワイヤー23によって、P. W. B10の表面の各パターン11にそれぞれ接続される。

【0010】図4(1)～(3)は、図2を用いた半導体装置の製造方法(その2)を示す図であり、同図

(1)は上面図であり、同図(2)はその断面図であり、同図(3)は背面図である。なお、図4において、図2と共通する要素には、共通の符号が付されている。各パッド21とP. W. B10表面のパターン11がそれぞれ接続された後、エポキシ樹脂等による封止成形が行われる。封止成形によって、配線パターン11の延在部と貫通孔12とワイヤ23と半導体素子20とが、封止される。この封止成形の際、例えばP. W. B10の表面側から射出された樹脂30が、貫通孔13を通る。そのため、P. W. B10の裏面にも樹脂がまわり、図4のように、一度で半導体素子20が完全に被覆される。即ち、P. W. B10の表面側では、貫通孔12、13及びワイヤ23、パッド21等が樹脂30で被覆され、P. W. B10の裏面側では、半導体素子20の外側がすべて樹脂30で被覆される。

【0011】以上のように、この第1の実施例では、貫通孔12を有したP. W. B10を用いて半導体装置を構成し、貫通孔12を介してパッド21と配線パターン11を接続しているため、P. W. B10が両面基板でなく、片面基板でよくなっている。そのため、パターン形成が容易となる上、スルーホールが不要となり、P. W. B10の製造コストを低くすることができる。そして、半導体素子の機能増大に伴う素子サイズの拡大、あるいは半導体素子の形成技術の革新に伴うサイズの縮小があっても追従性があり、多種の素子を共通のP. W. B10の構造で対応させることができる。さらに、P. W. B10自体も薄く高精度に形成することが可能であるため、必要以上に厚い基材の座ぐり加工をせずとも、半導体装置全体の厚さを十分薄くすることができる。また、P. W. B10の必要面積は、複数のパッド21の形成される領域の面積と貫通孔12の外形でほぼ決まる。即ち、半導体装置20の外形から外側に向かってワイヤー23を出す必要がないので、例えば、パターン11の形成されているP. W. B10の面積を半導体素子20の面積よりも小さくすることも可能であり、半導体装置全体の面積が小さくなる。

#### 【0012】第2の実施例

図5(1)～(3)は、本発明の第2の実施例の半導体装置を構成するP. W. Bと半導体素子と接着材を示す図である。同図(1)はP. W. Bの上面図、同図

(2)は半導体素子の上面図、同図(3)が、そのP. W. Bに半導体素子を固着する接着材を示している。図5(1)に示されたP. W. B40は、ガラスエポキシ等の基材を用いて構成され、該P. W. B40の表面には複数の端子となる配線パターン41が形成されている。各パターン41は半導体装置の端子の一部を構成するものであり、貫通孔42の両側に、ほぼ均等に配列する形で形成されている。また、P. W. B40の中央部には直線状に縦断する形で形成された長円の露出用貫通孔42が設けられている。それらパターン41と貫通孔42の間には、バスバー43が形成されている。バスバー43は図示しない絶縁材のソルダーレジストにより、絶縁被覆されている。P. W. B40に搭載される図5

(2)の半導体素子50の表面中央部には、ボンディング用の複数のパッド51が1列に形成されている。この構造は、近年大容量のメモリ系素子で主流になっているものであり、L. O. C (Lead On Chip) 実装構造に準じたパッド配列仕様である。半導体素子50をP. W. B40に固着するための接着材52は、薄いフィルム状であり、該半導体素子50の上部の周囲をP. W. B40に固着できるように、枠形状に形成されている。

【0013】図6(1)～(3)は、図5を用いた半導体装置の製造方法を示す図であり、この図6を参照しつつ、P. W. B40に半導体素子50を搭載した半導体装置を製造する手順を説明する。なお、図6において、図5と共通する部分には共通の符号が付されている。まず、半導体素子50を接着材52を用いてP. W. B40の裏側に固着する。このとき、半導体素子50表面の各パッド51は、P. W. B40の表面側から見て、貫通孔42を通して露出するように配置され、図6(1)中の破線で示されるように、半導体素子50の上部の周囲は枠形状の接着材52で、P. W. B10の裏面に固着される。続いて、各パッド51はワイヤー53で、複数のパターン41にそれぞれ接続される。即ち、図6(1)のように、P. W. B40の裏側にある各パッド51は、貫通孔42を通る複数のワイヤー53によって、各パターン41にそれぞれ接続される。このとき、バスバー越えボンディングが行われるが、バスバー43はソルダーレジストで被覆されているので、ワイヤ53の垂れ下がりによる短絡トラブル等が、防止されている。

【0014】次に、エポキシ樹脂60による封止成形が行われる。樹脂の封止成形の際、P. W. B40の表面側から射出された樹脂60によって、P. W. B10の表面側では、貫通孔42、ワイヤ53、及びパッド52等が、図6(2)のように樹脂60で被覆される。続いて、図6(3)のように、端子としての機能を果たす球状の導電体61を、ソルダーペースト等でパターン41に仮固定する。これにより、半導体装置が完成する。導電体61としては、例えばハンダが用いられる。図7

は、図6で製造された半導体装置の実装形態を示す図であり、図5と共通する要素には、共通の符号が付されている。完成した半導体装置において、球状の導電体61の仮固定された側が、他の基板70に対して対向して置かれ、溶剤ペーストを用いたリフロー実装等の手法で、該半導体装置が基板70に実装される。以上のように、本実施例では、貫通孔42を利用してパッド51とパターン41を接続しているのので、L. O. C (Lead On Chip) 実装構造に準じたパッド配列を有する半導体装置を、リードフレームを用いて形成する場合に比べ、遥かに小型で薄型の半導体装置とすることができる。ここで、ポリイミドコート等の手段を用いて表面被覆を完全に施した半導体素子を用いれば、P. W. B 40と同等あるいはP. W. B 40よりも大きなサイズの半導体素子を実装することが可能である。即ち、チップサイズ、またはアンダーチップサイズパッケージも可能となる。

【0015】また、バスバー43が溶剤レジストで被覆されているので、バスバー越えボンディングの際の短絡トラブルが防止される。一方、リードフレームを用いた場合と比較して、P. W. B 40におけるパターンニングの自由度が遥かに大きくなっている。つまり、リードフレームを用いずに、バスバー43に対してそれぞれ独立した複数の導電体61を用いて、基板70に半導体装置が接続されるので、リードフレームの場合のように、あえてバスバーをワイヤーボンディング点近傍に設定する必要もなくなる。よって、例えば、パターン41の外側を通してバスバー43を設定することも可能となる。したがって、ワイヤー53の配線ルートに対するループコントロールに、注意を払う必要がなくなり、生産面で有利となる。一方、パターン41上に、球状の導電体61を仮固定しているのので、近年、CPUやその周辺の論理回路等の多ピンのLSIの新実装形態として注目されているB. G. A (Ball Grid Array) と共に同一基板70に混載されるとき、半田リフロー条件を合わせることが可能である。

#### 【0016】第3の実施例

図8は、本発明の第3の実施例を示す半導体装置の構造図であり、図5と共通する要素には、共通の符号が付されている。本実施例に用いられるP. W. B 80は、第2の実施例で用いたP. W. B 40と同様の構成のP. W. Bに、新たに封止樹脂60が流通する2つの貫通孔81を設けたものであり、他のパターン41及び貫通孔42はP. W. B 40と同じ構成となっている。また、P. W. B 80に搭載される半導体素子50も、第2の実施例と同様の構造である。図8の半導体装置を製造する場合も、第2の実施例と同様に、半導体素子50がP. W. B 80の裏面側の所定の位置に接着材52で固定され、貫通孔42で表面に露出したパッド51とパターン41とが、該貫通孔42を通るワイヤー53で接続

される。パッド51とパターン41とが接続された後、例えば、P. W. B 80の表面側から樹脂60による樹脂封止を行う。樹脂封止によって、半導体素子50の表裏面は、図8のように完全に被覆される。つまり、樹脂封止の際、貫通孔44は樹脂60を流通させる。よって、貫通孔42によって半導体素子50のP. W. B 80の表面から見て露出している部分及びワイヤー53は樹脂60Aで被覆され、半導体素子50のP. W. B 80の裏面から見て露出している部分は、樹脂60Bで被覆される。以上のように、本実施例では、貫通孔44を設けたP. W. B 80で半導体装置を構成している。よって、半導体素子50の露出している部分を一度にすべて樹脂で被覆することができ、第2の実施例の効果を有する半導体装置に、さらに、信頼性の高い耐湿性を持たせることができる。

#### 【0017】第4の実施例

図9は、本発明の第4の実施例を示す半導体装置の構造図であり、図5と共通する要素には共通の符号が付されている。本実施例の半導体装置は他の基板70に実装される際に、基板70の間に所定のクリアランスを設ける突起62を、第2の実施例の半導体装置に設けている。この半導体装置は、第2の実施例と同様のP. W. B 40に半導体素子50を搭載している。複数の球状の導電体61も第2の実施例と同様にパターン41上に仮固定されている。半導体素子50のP. W. B 40の表面に露出した部分とワイヤー53は、図9のように樹脂60で封止されている。この封止された樹脂60上には、該樹脂60と同じエポキシ樹脂の突起62が設けられている。この半導体装置の製造方法は第2の実施例と同様であり、突起62は樹脂封止の際に同時に形成される。図10は、他の基板に実装された図9の半導体装置を示す図である。半導体装置が他の基板70に実装された場合、突起62が支えとなって、半導体装置と基板70の間の距離が所望の値Hとなる。以上のように、本実施例では突起62を設けているので、半導体装置の樹脂60と基板70との間に所望のクリアランスを設定することができる。そのため、実装寸法の精度が向上すると共に、実装後のフラックス洗浄等を行う上で有効な構造とすることができる。

【0018】なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) 上記実施例ではP. W. B 10, 40, 80をガラスエポキシ、樹脂30, 60をエポキシ樹脂で構成しているが、これらの材質は絶縁性及び耐湿性に優れたものであればよく、他の材料で構成することも可能である。

(2) 導電体61も、基板70に対して接続が可能であればよい。ハンダに限定されず、導電性及び加工性に優れた他の合金等も使用可能である。

(3) 第4の実施例では、第2の実施例の半導体装置に対して突起62を設けた構造となっているが、第3の実施例に突起を設けても、第4の実施例と同様の効果を期待できる。

【0019】

【発明の効果】以上詳細に説明したように、第1から第5の発明によれば、P、W、Bに貫通孔を設け、P、W、Bの裏面に配置された半導体素子の端子は、貫通孔を通る導電材で該P、W、Bの表面に形成された配線パターンと接続された構成としている。よって、半導体素子の外形を引き回すことなしに、配線パターンと半導体素子の端子が導電材で接続される。そのためP、W、Bを両面基板で構成する必要がなくなり、座ぐり加工をせずとも薄型の半導体装置となる。また、スルーホール加工も必要がなくなる。さらに、半導体素子のサイズに関係なく接続できるので、半導体装置全体を小さくすることができ、かつ半導体素子のサイズ変化に追従可能な半導体装置を形成することができる。即ち、半導体装置の加工を容易にすると共にコストの低減が図れる。第4及び第5の発明によれば、第1から第3の発明における配線パターン上に他の基板と接続する導電体を設けているので、従来のリードフレームを用いたL、O、C構造よりも、小型かつ薄型の半導体装置が形成できると共に、パターンの自由度が増して生産面で有利となる。また、近年のCPUや論理回路等の実装形態のB、G、Aと、同一の基板に実装可能な半導体装置を構成できる。

【0020】第6～第9の発明によれば、表面に配線パターンが形成されたP、W、Bに貫通孔を形成し、P、W、Bの裏面の、貫通孔から端子が露出する位置に半導体素子を固着して端子と配線パターンの延在部とを導電材で接続する。そして、配線パターン延在部と貫通孔と導電材と半導体素子を、封止材料内に配置するようにしている。そのため、第1～第5の発明の半導体装置を容易に実現できる。よって、半導体装置全体を小さくすることができ、コストの低減を図れる。第9の発明によれば、第6から第8の発明における配線パターン上に他の基板と接続する導電体を固着するので、第4及び第5の発明の半導体装置を実現できる。よって、L、O、C構

造よりも小型かつ薄型の半導体装置を形成できると共に、パターンの自由度が増して生産面で有利となる。また、近年のCPUや論理回路等の実装形態のB、G、Aと、同一の基板に実装可能な半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す半導体装置の断面図である。

【図2】図1の半導体装置を構成するP、W、Bと半導体素子と接着材を示す図である。

【図3】図2を用いた半導体装置の製造方法（その1）を示す図である。

【図4】図2を用いた半導体装置の製造方法（その2）を示す図である。

【図5】本発明の第2の実施例の半導体装置を構成するP、W、Bと半導体素子と接着材を示す図である。

【図6】図5を用いた半導体装置の製造方法を示す図である。

【図7】図6で製造された半導体装置の実装形態を示す図である。

【図8】本発明の第3の実施例を示す半導体装置の構造図である。

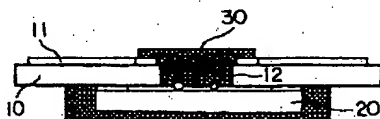
【図9】本発明の第4の実施例を示す半導体装置の構造図である。

【図10】他の基板に実装された図9の半導体装置を示す図である。

【符号の説明】

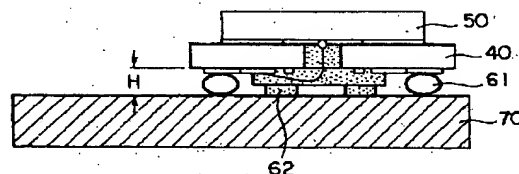
10, 40, 80	P、W、B
11, 41	配線パターン
12, 42	貫通孔（露出用）
13, 81	貫通孔（樹脂流通用）
20, 50	半導体素子
21, 51	パッド
22, 52	接着材
23, 53	ワイヤー
30, 60, 60A, 60B	樹脂
62	突起

【図1】



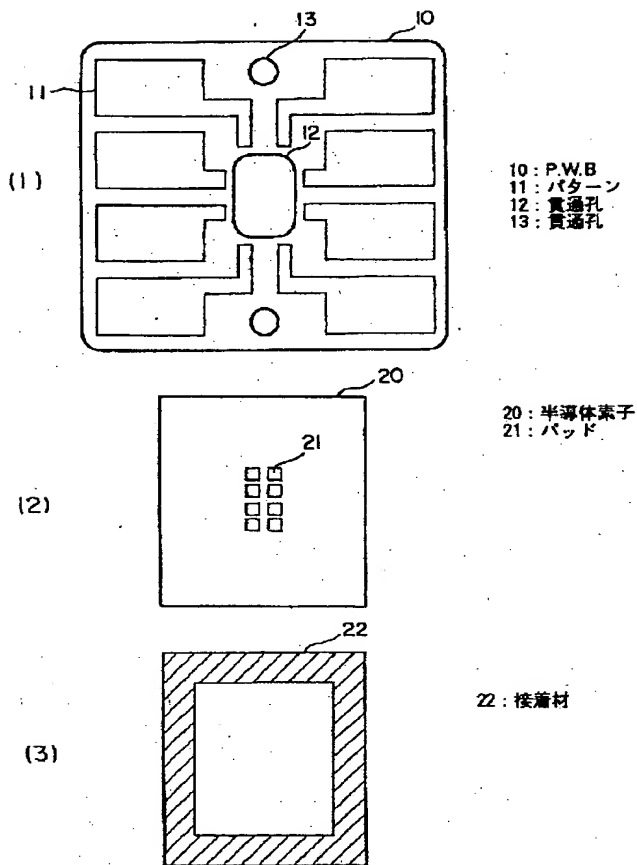
本発明の第1の実施例の半導体装置

【図10】



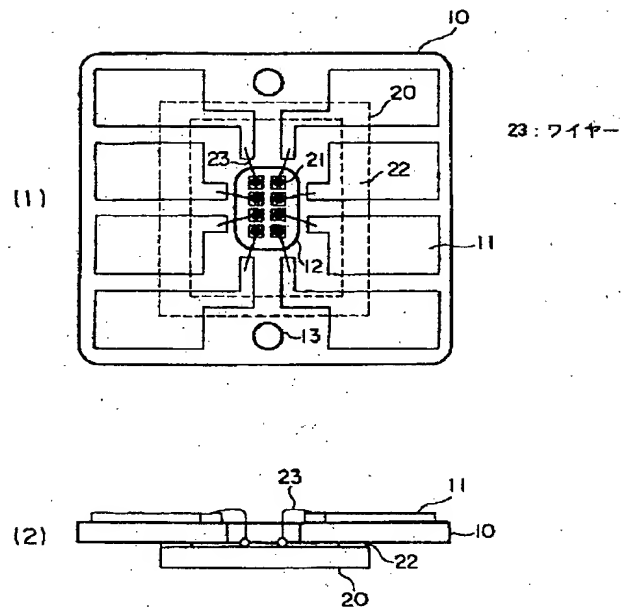
基板に実装された図9の半導体装置

【図2】



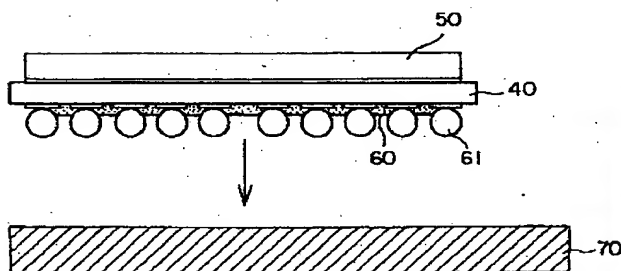
半導体装置を構成するP.W.Bと半導体素子と接着材

【図3】



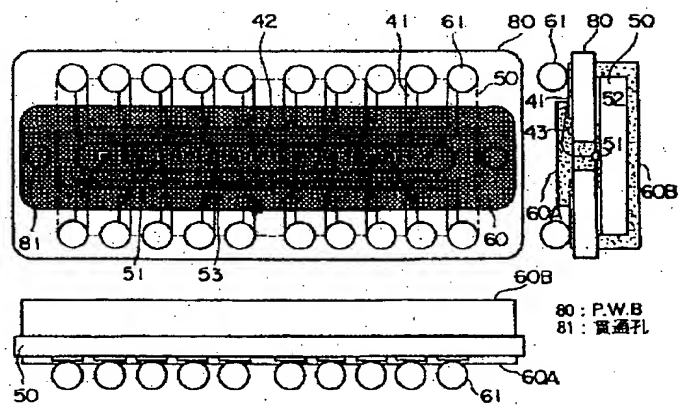
半導体装置の製造方法(その1)

【図7】



半導体装置の実装形態

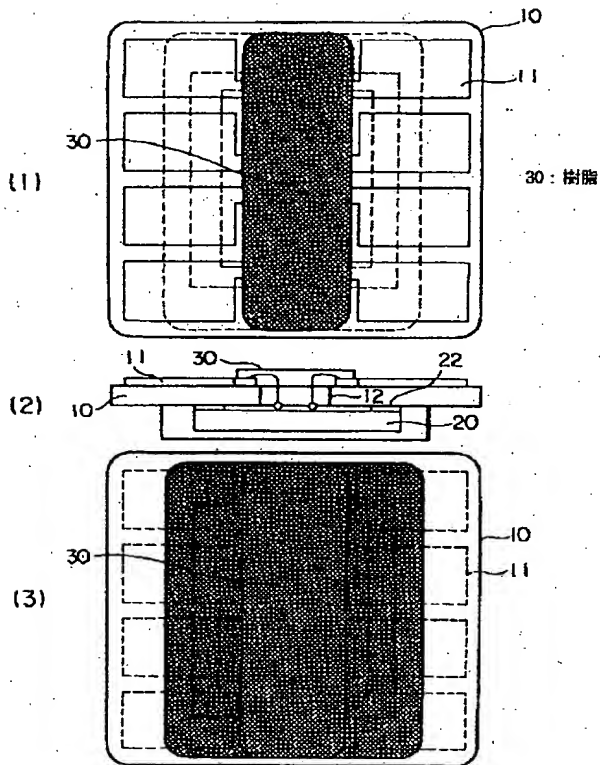
【図8】



本発明の第3の実施例の半導体装置

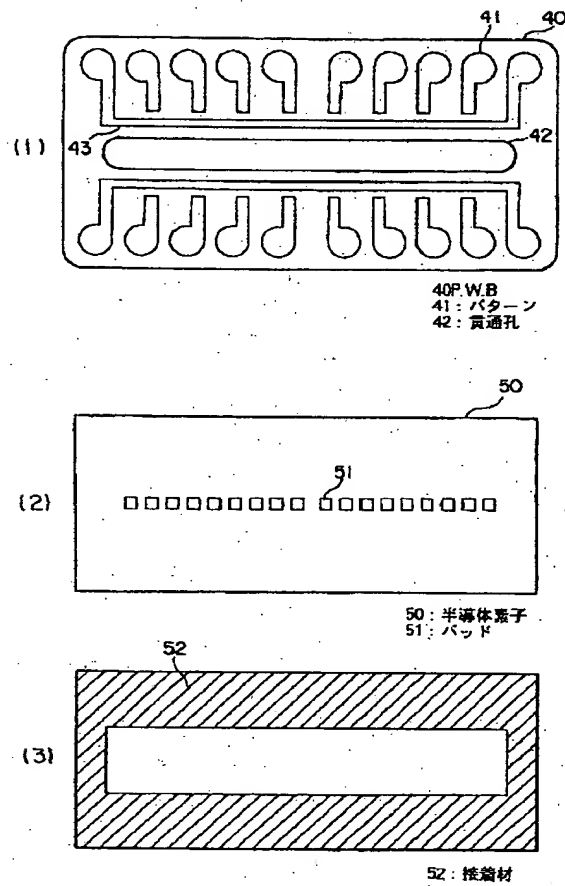


【図4】



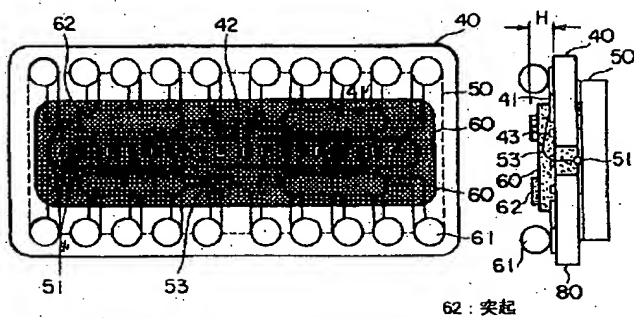
半導体装置の製造方法(その2)

【図5】



半導体装置を構成するP.W.Bと半導体素子と接着材

【図9】



本発明の第4の実施例の半導体装置

【図6】

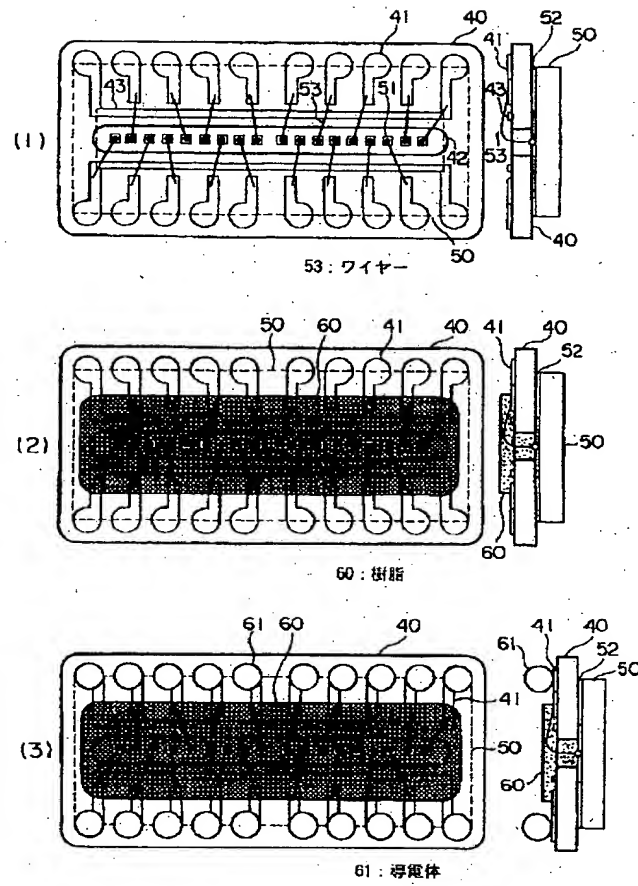


図5を用いた半導体装置の製造方法

## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

### CLAIMS

---

[Claim(s)]

[Claim 1] In the semiconductor device of the surface mount mold which consists of package structure which carried the semiconductor device which has a terminal for contact A printed wired board with [ a circuit pattern is formed in a front face, and ] a through tube, Said semiconductor device arranged at the rear face of said printed wired board so that said terminal may come to the location of said through tube, The semiconductor device characterized by having the closure ingredient which closes the electric conduction material which connects said terminal and extension section of said circuit pattern, said circuit pattern extension section and said through tube, and said electric conduction material, and said semiconductor device.

[Claim 2] For said through tube, said printed wired board is a semiconductor device according to claim 1 which has the through tube for resin circulation formed in a different location, and is characterized by considering the front face and rear face of said circuit pattern extension section, said through tube, said electric conduction material, and said semiconductor device as the configuration which carried out coincidence closure by resin.

[Claim 3] It is the semiconductor device according to claim 1 or 2 which said printed wired board equips a front face with the bus bar to said semiconductor device, and is characterized by making the upper part of said bus bar into the structure covered with the insulating material divorced from said electric conduction material.

[Claim 4] The semiconductor device according to claim 1, 2, or 3 characterized by preparing the conductor for being fixed on said circuit pattern and connecting this

circuit pattern to other substrates.

[Claim 5] The extension section, said through tube, and said electric conduction material of the terminal of said semiconductor device and said circuit pattern are a semiconductor device according to claim 4 which considers as the configuration covered with closure resin, and is characterized by preparing the projection which maintains the distance between substrates besides the above at a predetermined dimension in the upper part of this closure resin.

[Claim 6] In the manufacture approach of the semiconductor device of the surface mount mold which consists of package structure which carried the semiconductor device which has a terminal for contact A through tube for the terminal of this semiconductor device to be exposed to it, when fixing said semiconductor device to the printed wired board by which the circuit pattern was formed in the front face behind is formed. Said semiconductor device is fixed from said through tube of the rear face of said printed wired board in the location which said terminal exposes. The manufacture approach of the semiconductor device characterized by connecting said terminal and extension section of said circuit pattern by electric conduction material, and arranging said circuit pattern extension section, said through tube, said electric conduction material, and said semiconductor device in a closure ingredient.

[Claim 7] The manufacture approach of the semiconductor device according to claim 6 characterized by closing the front face and rear face of said circuit pattern extension section, said through tube, said electric conduction material, and said semiconductor device to coincidence by resin after forming the through tube for resin circulation in a different location from said through tube and connecting said terminal and extension section of said circuit pattern to said printed wired board by electric conduction material.

[Claim 8] The manufacture approach of the semiconductor device according to claim 6 or 7 which forms the bus bar to said semiconductor device in the front face of said printed wired board, and is characterized by performing pre-insulation for insulating said electric conduction material and this bus bar in the upper part of said bus bar.

[Claim 9] The manufacture approach of the semiconductor device according to claim 6, 7, or 8 characterized by fixing the conductor for connecting this circuit pattern to other substrates on said circuit pattern.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is used as thin semiconductor devices, such as thin IC memory card module, and relates to the semiconductor device which carried the semiconductor device in the printed wired board (it is called P.W.B below Printed Wiring Board;) with the surface mount mold, and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, as a technique of such a field, there were some which are shown in the following reference, for example.

Reference; the very thin package structure where thickness is about 0.5-2mm is demanded of what is used for a wrist watch, a camera, an IC card, etc. among JP,55-56647,A semiconductor integrated circuits. As a semiconductor device is carried in the predetermined location of a leadframe, and a resin seal is performed or it is shown in the above-mentioned reference, after the conventional semiconductor device carries semiconductor devices, such as a semiconductor integrated circuit, in P.W.B which consists of glass epoxy etc. directly and connects the semiconductor device to metal wiring on P.W.B with a wire, it is closed with the epoxy resin etc. That is, the package of a chip on-board regulation is shown in the above-mentioned reference. P.W. The pattern used as the terminal to the exterior is formed in the front face of B, and this pattern is connected to the pattern for bondings formed in the rear face of the P.W.B through the through hole. A semiconductor device uses a binder for the rear face of P.W.B, and is fixed to it, and the pad formed in the inferior surface of tongue of the semiconductor device, i.e., the field which is not in contact with P.W.B, is connected to the pattern for bondings of P.W.B with a wire. After the pad of a semiconductor device is connected to the surrounding pattern for bondings, closure shaping of this semiconductor device is carried out with resin, and a semiconductor device is completed.

[0003]

[Problem(s) to be Solved by the Invention] However, the following technical problems occurred in the conventional semiconductor device. In the semiconductor device using a leadframe, the thickness and area of the whole semiconductor device become large. Moreover, since the pattern needed to be formed in the 2nd page of the front flesh side of P.W.B in which a semiconductor device is carried according to the approach shown in said reference, the double-sided substrate of the structure which stuck copper foil on the front flesh side had to be used, and the through hole also needed to carry out predetermined number processing formation. Furthermore, in order to carry out thin shape-ization for the loading part of a semiconductor device, spot facing processing needed to be performed to P.W.B. That is, a processing side or a cost side has a big

technical problem, and a technically satisfying thing was not obtained.

[0004]

[Means for Solving the Problem] The 1st - the 5th invention are equipped with the following P.W.B, semiconductor devices, electric conduction material, and closure ingredients in the semiconductor device of the surface mount mold which consists of package structure which carried the semiconductor device which has a terminal for contact, in order to solve said technical problem. P.W. A circuit pattern is formed in a front face, and B has the through tube. A semiconductor device is arranged at the rear face of P.W.B so that a terminal may come to the location of the through tube, and it has the composition that electric conduction material connects the terminal of a semiconductor device, and the extension section of a circuit pattern. The closure ingredient is considered as the configuration which closes these circuit pattern extension section, a through tube, electric conduction material, and a semiconductor device. It was fixed on the circuit pattern in the 1st to 3rd invention, and the 4th and 5th invention has prepared the conductor for connecting the circuit pattern to other substrates.

[0005] The 6th - the 9th invention have devised the following approaches in the manufacture approach of the semiconductor device of the surface mount mold which consists of package structure which carried the semiconductor device which has a terminal for contact. That is, when fixing a semiconductor device behind to P.W.B by which the circuit pattern was formed in the front face, a through tube for the terminal of this semiconductor device to be exposed is formed, and a semiconductor device is fixed from the through tube of the rear face of the P.W.B in the location which the terminal of a semiconductor device exposes. And he connects the terminal and extension section of a circuit pattern by electric conduction material, and is trying to arrange the circuit pattern extension section, a through tube, electric conduction material, and a semiconductor device in a closure ingredient. He is trying for the 9th invention to fix the conductor for connecting the circuit pattern with other substrates on the circuit pattern in the 6th to 8th invention.

[0006]

[Function] According to the 1st - the 5th invention, since the semiconductor device is constituted as mentioned above, the circuit pattern is formed in the front face of P.W.B. The terminal of the semiconductor device arranged at the rear face of the P.W.B is connected with the extension section of the circuit pattern formed in the front face of this P.W.B by the electric conduction material which passes along a through tube. That is, the terminal of a semiconductor device is connected with a circuit pattern by electric

conduction material, without taking about the appearance of a semiconductor device. Transmission and reception of the signal in a semiconductor device will be performed through the circuit pattern and electric conduction material. These circuit pattern extension section, a through tube, electric conduction material, and a semiconductor device are protected by the closure ingredient. According to the 4th and 5th invention, the semiconductor device in the 1st - the 3rd invention is connected with other substrates by the conductor with which it was fixed on the circuit pattern. That is, a semiconductor device is connected to other substrates, without using a leadframe.

[0007] According to the 6th - the 9th invention, a semiconductor device fixes at the rear face of a printed wired board at which the circuit pattern was formed in the front face. At this time, the terminal of a semiconductor device is exposed to the front face of P.W.B with a through tube. The extension section of a terminal and a circuit pattern exposed to the front face is connected by electric conduction material. The closure of the semiconductor device is carried out to the circuit pattern extension section, a through tube, and electric conduction material with a closure ingredient after the connection. That is, the semiconductor device of the 1st - the 5th invention is manufactured. According to the 9th invention, a conductor is fixed on the circuit pattern in the 6th - the 8th invention. That is, the semiconductor device of the 4th and the 5th invention is manufactured.

[0008]

[Example]

The 1st example drawing 1 is the sectional view of the semiconductor device in which the 1st example of this invention is shown. P.W.B10 of a single-sided board are used for this semiconductor device, and the circuit pattern 11 is formed in that front face of P.W.B10. P.W. The semiconductor device 20 is carried in the rear face of B10. P.W. A through tube 12 is formed in the center of B10, and the terminal and circuit pattern 11 of a semiconductor device 20 are connected with the wire which passes along a through tube 12. And the closure of the front face and rear face, and through tube 12 of a semiconductor device 20 is carried out by closure resin 30. Drawing 2 (1) - (3) is drawing showing P.W.B and the semiconductor device which constitute the semiconductor device of drawing 1, and a binder. This drawing (1) shows the binder with which, as for the plan of P.W.B, and this drawing (2), the plan of a semiconductor device and this drawing (3) fix a semiconductor device to the P.W.B. P.W. B10 is constituted using base materials, such as glass epoxy, -- having -- this -- the circuit pattern 11 used as eight terminals is formed in the front face of P.W.B10. Moreover, the through tube 12 for exposure of the terminal of a semiconductor device is formed in the

center section of P.W.B10, and two through tubes 13 for resin circulation mentioned later are further formed in the edge. Extended formation of each pattern 11 is carried out to the periphery neighborhood of a through tube 12, respectively. The pad 21 which are eight terminals for bondings is formed in the surface center section of the semiconductor device 20. Moreover, the binder 22 for fixing a semiconductor device 20 to P.W.B10 has the shape of a thin film, and it is formed in a frame configuration like drawing 2 (3) so that the perimeter of the top face of this semiconductor device 20 can be fixed to P.W.B.

[0009] Next, the procedure of manufacturing the semiconductor device of drawing 1 is explained, referring to drawing. Drawing 3 (1) and (2) are drawings showing the manufacture approach (the 1) of a semiconductor device of having used drawing 2, this drawing (1) is a plan and this drawing (2) is the sectional view. In addition, in drawing 3, the common sign is given to the element which is common in drawing 2. First, a semiconductor device 20 is fixed to the rear-face side of P.W.B10 using a binder 22. At this time, each pad 21 of the front face of a semiconductor device 20 is seen from the front-face side of P.W.B10, it is arranged so that it may expose through a through tube 12, and as shown by the broken line in drawing 3 (1), it fixes the perimeter of the upper part of a semiconductor device 20 at the rear face of P.W.B10 with the binder 22 of a frame configuration. Then, each pad 21 is connected to each pattern 11 with the wire 23 which is electric conduction material, respectively. That is, each pad 21 in the location on the background of P.W.B10 is connected to each pattern 11 of the front face of P.W.B10 like drawing 3 (2) by eight wires 23 which pass along the inside of a through tube 12, respectively.

[0010] Drawing 4 (1) This drawing (1) is a plan, (3) is drawing showing the manufacture approach (the 2) of a semiconductor device of having used drawing 2, and this drawing (3) is [ this drawing (2) is the sectional view, and ] rear view. In addition, in drawing 4, the common sign is given to the element which is common in drawing 2. After the pattern 11 of P.W.B10 front face is connected with each pad 21, respectively, closure shaping by an epoxy resin etc. is performed. By closure shaping, the closure of the extension section, the through tube 12, the wire 23, and semiconductor device 20 of a circuit pattern 11 is carried out. The resin 30 injected from the side in the case of this closure shaping, for example, the front face of P.W.B10, passes along a through tube 13. Therefore, a semiconductor device 20 is completely covered with once by the rear face of P.W.B10 like [ the surroundings ] drawing 4 in resin. That is, at the front-face side of P.W.B10, through tubes 12 and 13 and a wire 23, and pad 21 grade are covered with resin 30, and all the outsides of a semiconductor device 20 are covered



by the rear face side of P.W.B10 by resin 30.

[0011] As mentioned above, in this 1st example, since the semiconductor device was constituted using P.W.B10 with a through tube 12 and the circuit pattern 11 is connected with the pad 21 through a through tube 12, P.W.B10 are good not by the double-sided substrate but by the single-sided board. Therefore, when pattern formation becomes easy, a through hole becomes unnecessary, and the manufacturing cost of P.W.B10 can be made low. And even if there is contraction of the size accompanying expansion of the component size accompanying functional increase of a semiconductor device or innovation of the formation technique of a semiconductor device, there is flattery nature, and various components can be made to correspond with the common structure of P.W.B10. Furthermore, since P.W.B10 the very thing can also be formed with high precision thinly, spot facing processing of a base material thick beyond the need cannot be carried out, but \*\* can also make thickness of the whole semiconductor device sufficiently thin. Moreover, the need area of P.W.B10 is mostly decided by the area of a field and the appearance of a through tube 12 which two or more pads 21 are formed and are. That is, since it is not necessary to take out a wire 23 from the appearance of a semiconductor device 20 toward an outside, it is also possible to, make area of P.W.B10 in which the pattern 11 is formed smaller than the area of a semiconductor device 20 for example, and the area of the whole semiconductor device becomes small.

[0012] Example drawing 5 [ of \*\* a 2nd ] (1) - (3) is drawing showing P.W.B and the semiconductor device which constitute the semiconductor device of the 2nd example of this invention, and a binder. This drawing (1) shows the binder with which, as for the plan of P.W.B, and this drawing (2), the plan of a semiconductor device and this drawing (3) fix a semiconductor device to the P.W.B. P.W.B40 shown in drawing 5 (1) are constituted using base materials, such as glass epoxy, -- having -- this -- the circuit pattern 41 used as two or more terminals is formed in the front face of P.W.B40. Each pattern 41 constitutes some terminals of a semiconductor device, and is formed in the form arranged almost equally on both sides of a through tube 42. Moreover, are prepared by the through tube 42 for exposure of the ellipse formed in the form through which it travels in the shape of a straight line, and it is in the center section of P.W.B40. The bus bar 43 is formed between these patterns 41 and a through tube 42. Pre-insulation of the bus bar 43 is carried out by the solder resist of the insulating material which is not illustrated. P.W. Two or more pads 51 for bondings are formed in the surface center section of the semiconductor device 50 of drawing 5 (2) carried in B40 at one train. This structure is the pad array specification which is in use with the

memory system component mass in recent years, and applied to L.O.C (Lead On Chip) mounting structure correspondingly. The binder 52 for fixing a semiconductor device 50 to P.W.B40 has the shape of a thin film, and it is formed in the frame configuration so that the perimeter of the upper part of this semiconductor device 50 can be fixed to P.W.B40.

[0013] Drawing 6 (1) - (3) is drawing showing the manufacture approach of a semiconductor device of having used drawing 5 , and it explains the procedure of manufacturing the semiconductor device which carried the semiconductor device 50 in P.W.B40, referring to this drawing 6 . In addition, in drawing 6 , the common sign is given to the part which is common in drawing 5 . First, a semiconductor device 50 is fixed on the background of P.W.B40 using a binder 52. At this time, the perimeter of the upper part of a semiconductor device 50 is the binder 52 of a frame configuration, and each pad 51 of semiconductor device 50 front face fixes it at the rear face of P.W.B10, as it sees from the front-face side of P.W.B40, it is arranged so that it may expose through a through tube 42, and shown by the broken line in drawing 6 (1). Then, each pad 51 is a wire 53 and is connected to two or more patterns 41, respectively. That is, each pad 51 on the background of P.W.B40 is connected to each pattern 41 like drawing 6 (1) by two or more wires 53 which pass along a through tube 42, respectively. Although bus bar \*\*\*\* bonding is performed at this time, since the bus bar 43 is covered with the solder resist, the short circuit trouble by a wire 53 hanging down etc. is prevented.

[0014] Next, closure shaping by the epoxy resin 60 is performed. A through tube 42, a wire 53, and pad 52 grade are covered by the front-face side of P.W.B10 by resin 60 like drawing 6 (2) with the resin 60 injected from the front-face side of P.W.B40 in the case of closure shaping of resin. Then, temporary immobilization of the spherical conductor 61 which achieves the function as a terminal is carried out with a solder paste etc. like drawing 6 (3) at a pattern 41. Thereby, a semiconductor device is completed. As a conductor 61, a pewter is used, for example. Drawing 7 is drawing showing the mounting gestalt of the semiconductor device manufactured by drawing 6 , and the common sign is given to the element which is common in drawing 5 . In the completed semiconductor device, to other substrates 70, the side by which temporary immobilization of the spherical conductor 61 was carried out counters, and is placed, and this semiconductor device is mounted in a substrate 70 by technique, such as reflow mounting using a solder paste. As mentioned above, in this example, since the pattern 41 is connected with the pad 51 using a through tube 42, the semiconductor device which has a pad array according to L.O.C (Lead On Chip) mounting structure can be used as a far small thin semiconductor device compared with the case where it

forms using a leadframe. If the semiconductor device which gave surface coating completely using the means of a polyimide coat etc. is used here, it is possible to mount the semiconductor device of P.W.B40, an EQC, or bigger size than P.W.B40. That is, a chip size or an undershirt chip-size package also becomes possible.

[0015] Moreover, since the bus bar 43 is covered with the solder resist, the short circuit trouble in the case of bus bar \*\*\*\* bonding is prevented. On the other hand, as compared with the case where a leadframe is used, the degree of freedom of patterning in P.W.B40 is large far. Since a semiconductor device is connected to a substrate 70 using two or more conductors 61 which became independent to the bus bar 43, respectively, without using a leadframe, it becomes unnecessary that is, to dare set up a bus bar near the wire BONINGU point like [ in the case of a leadframe ]. Therefore, for example, it also becomes possible to set up a bus bar 43 through the outside of a pattern 41. Therefore, it becomes unnecessary to pay attention to the loop-formation control to the wiring root of a wire 53, and becomes advantageous in respect of production. On the other hand, on a pattern 41, since temporary immobilization of the spherical conductor 61 is carried out, when the same substrate 70 loads various goods together with B.G.A (Ball Grid Array) which attracts attention as a new mounting gestalt of LSI of many pins, such as CPU and a logical circuit of the circumference of it, solder reflow conditions can also be doubled in recent years.

[0016] The 3rd example drawing 8 is structural drawing of the semiconductor device in which the 3rd example of this invention is shown, and the common sign is given to the element which is common in drawing 5 . P.W.B80 used for this example form two through tubes 81 to which closure resin 60 newly circulates in the same P.W.B of a configuration as P.W.B40 used in the 2nd example, and other patterns 41 and through tubes 42 have the same composition as P.W.B40. Moreover, the semiconductor device 50 carried in P.W.B80 is also the same structure as the 2nd example. Also when manufacturing the semiconductor device of drawing 8 , the pad 51 which the semiconductor device 50 was fixed to the position by the side of the rear face of P.W.B80 with the binder 52, and was exposed to the front face by the through tube 42 like the 2nd example, and a pattern 41 are connected with the wire 53 which passes along this through tube 42. After a pad 51 and a pattern 41 are connected, the resin seal by resin 60 is performed from the front-face side of P.W.B80. The front rear face of a semiconductor device 50 is completely covered with a resin seal like drawing 8 . That is, a through tube 44 circulates resin 60 in the case of a resin seal. Therefore, the part and wire 53 which have been seen and exposed from the front face of P.W.B80 of a semiconductor device 50 by the through tube 42 are covered with resin 60A, and the

part seen and exposed from the rear face of P.W.B80 of a semiconductor device 50 is covered with resin 60B. As mentioned above, at this example, the semiconductor device consists of P.W.B80 which formed the through tube 44. Therefore, the part which has exposed the semiconductor device 50 can be altogether covered with resin at once, and still more reliable moisture resistance can be given to the semiconductor device which has the effectiveness of the 2nd example.

[0017] The 4th example drawing 9 is structural drawing of the semiconductor device in which the 4th example of this invention is shown, and the common sign is given to the element which is common in drawing 5. In case the semiconductor device of this example is mounted in other substrates 70, it has formed the projection 62 which prepares predetermined path clearance between substrates 70 in the semiconductor device of the 2nd example. This semiconductor device carries the semiconductor device 50 in the P.W.B40 [ same ] as the 2nd example. Temporary immobilization is carried out on the pattern 41 like [ two or more spherical conductors 61 ] the 2nd example. The closure of the part and wire 53 which were exposed to the front face of P.W.B40 of a semiconductor device 50 is carried out by resin 60 like drawing 9. On this resin 60 by which the closure was carried out, the projection 62 of the same epoxy resin as this resin 60 is formed. The manufacture approach of this semiconductor device is the same as that of the 2nd example, and projection 62 is formed in coincidence in the case of a resin seal. Drawing 10 is drawing showing the semiconductor device of drawing 9 mounted in other substrates. When a semiconductor device is mounted in other substrates 70, projection 62 serves as a support and the distance between a semiconductor device and a substrate 70 serves as the desired value H. As mentioned above, since the projection 62 is formed in this example, desired path clearance can be set up between the resin 60 of a semiconductor device, and a substrate 70. Therefore, while the precision of a mounting dimension improves, when performing flux washing after mounting etc., it can consider as effective structure.

[0018] In addition, this invention is not limited to the above-mentioned example, but various deformation is possible for it. As the modification, there is the following, for example.

(1) the above-mentioned example -- P.W.B10. -- although 40 and 80 are constituted from glass epoxy and resin 30 and 60 is constituted from an epoxy resin, constituting from other ingredients is also possible just excellent [ these quality of the materials ] in insulation and moisture resistance.

(2) It is good if a conductor 61 is also connectable to a substrate 70. Other alloys which were not limited to a pewter but were excellent in conductivity and workability are

usable.

(3) Although it has structure which formed the projection 62 to the semiconductor device of the 2nd example in the 4th example, even if it prepares a projection in the 3rd example, the same effectiveness as the 4th example is expectable.

[0019]

[Effect of the Invention] As explained to the detail above, according to the 1st to 5th invention, a through tube is prepared in P.W.B and the terminal of the semiconductor device arranged at the rear face of P.W.B is considered as the configuration connected with the circuit pattern formed in the front face of this P.W.B by the electric conduction material which passes along a through tube. Therefore, the terminal of a semiconductor device is connected with a circuit pattern by electric conduction material, without taking about the appearance of a semiconductor device. Therefore, it becomes unnecessary to constitute P.W.B from a double-sided substrate, and spot facing processing is not carried out, but \*\* also serves as a thin semiconductor device. Moreover, the need also of through hole processing is lost. Furthermore, since it is connectable regardless of the size of a semiconductor device, the semiconductor device which can make the whole semiconductor device small and can follow size change of a semiconductor device can be formed. That is, reduction of cost can be aimed at while making processing of a semiconductor device easy. Since the conductor linked to other substrates is prepared on the circuit pattern in the 1st to 3rd invention according to the 4th and 5th invention, while being able to form small and a thin semiconductor device, the degree of freedom of a pattern increases and it becomes advantageous in respect of production from the L.O.C structure using the conventional leadframe. Moreover, the semiconductor device which can be mounted in the same substrate as B.G.A of mounting gestalten, such as CPU in recent years and a logical circuit, can be constituted.

[0020] According to the 6th - the 9th invention, a through tube is formed in P.W.B by which the circuit pattern was formed in the front face, a semiconductor device is fixed from the through tube of the rear face of P.W.B in the location which a terminal exposes, and a terminal and the extension section of a circuit pattern are connected by electric conduction material. And he is trying to arrange the circuit pattern extension section, a through tube, electric conduction material, and a semiconductor device in a closure ingredient. Therefore, the semiconductor device of the 1st - the 5th invention is easily realizable. Therefore, the whole semiconductor device can be made small and reduction of cost can be aimed at. Since the conductor linked to other substrates is fixed on the circuit pattern in the 6th to 8th invention according to the 9th invention, the

semiconductor device of the 4th and the 5th invention is realizable. Therefore, while being able to form small and a thin semiconductor device rather than L.O.C structure, the degree of freedom of a pattern increases and it becomes advantageous in respect of production. Moreover, the semiconductor device which can be mounted in the same substrate as B.G.A of mounting gestalten, such as CPU in recent years and a logical circuit, can be manufactured.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device in which the 1st example of this invention is shown.

[Drawing 2] It is drawing showing P.W.B and the semiconductor device which constitute the semiconductor device of drawing 1 , and a binder.

[Drawing 3] It is drawing showing the manufacture approach (the 1) of the semiconductor device using drawing 2 .

[Drawing 4] It is drawing showing the manufacture approach (the 2) of the semiconductor device using drawing 2 .

[Drawing 5] It is drawing showing P.W.B and the semiconductor device which constitute the semiconductor device of the 2nd example of this invention, and a binder.

[Drawing 6] It is drawing showing the manufacture approach of the semiconductor device using drawing 5 .

[Drawing 7] It is drawing showing the mounting gestalt of the semiconductor device manufactured by drawing 6 .

[Drawing 8] It is structural drawing of the semiconductor device in which the 3rd example of this invention is shown.

[Drawing 9] It is structural drawing of the semiconductor device in which the 4th example of this invention is shown.

[Drawing 10] It is drawing showing the semiconductor device of drawing 9 mounted in other substrates.

### [Description of Notations]

10,40,80 P.W.B

11 41 Circuit pattern

12 42 Through tube (for exposure)

13 81 Through tube (for resin circulation)

20 50 Semiconductor device

21 51 Pad

22 52 Binder

23 53 Wire

30, 60, 60A, 60B Resin

62 [ ] Projection

---

[Translation done.]

**Abstract:**

**PURPOSE:** To facilitate machining of a thin type semiconductor device and reduce the cost.

**CONSTITUTION:** A wiring pattern 11 of a semiconductor device is formed on the surface of a P.W.B(printed wiring board) 10, and a penetrating hole 12 and a penetrating hole for resin flow are formed on the center and the end part of the P.W.B 10. The penetrating hole 12 exposes a pad of a mounted semiconductor element 20 when viewed from the surface of the P.W.B 10. The semiconductor element 20 is fixed on the back of the P.W.B 10 so as to expose the pad which is connected with the wiring pattern 11 via a wire passing the penetrating hole 12. After the semiconductor element 20 is mounted, resin sealing is performed, and both surfaces of the semiconductor element 20 are sealed with resin 30 flowing in the penetrating hole for resin flow.